

INTEGRATED CIRCUITS

DATA SHEET

IEC958 Receiver

1. Claims and assumptions (Features and characteristics)

1.1 General Information

1.1.1 IP 정보

Soft IP

1.1.2 기본 기능

IEC_RX_XA는 IEC958 (S/PDIF : Sony Philips Digital Interface) 표준을 만족하도록 설계된 digital audio receiver이다.

1.1.3 용도 및 적용분야

Audio interface logic을 포함한 회로에 적용 가능

2. Verification of claims and assumptions

① 논리 시뮬레이션 검증 환경

검증 도구 : synopsys, 상용 시뮬레이터 (Debug XA)

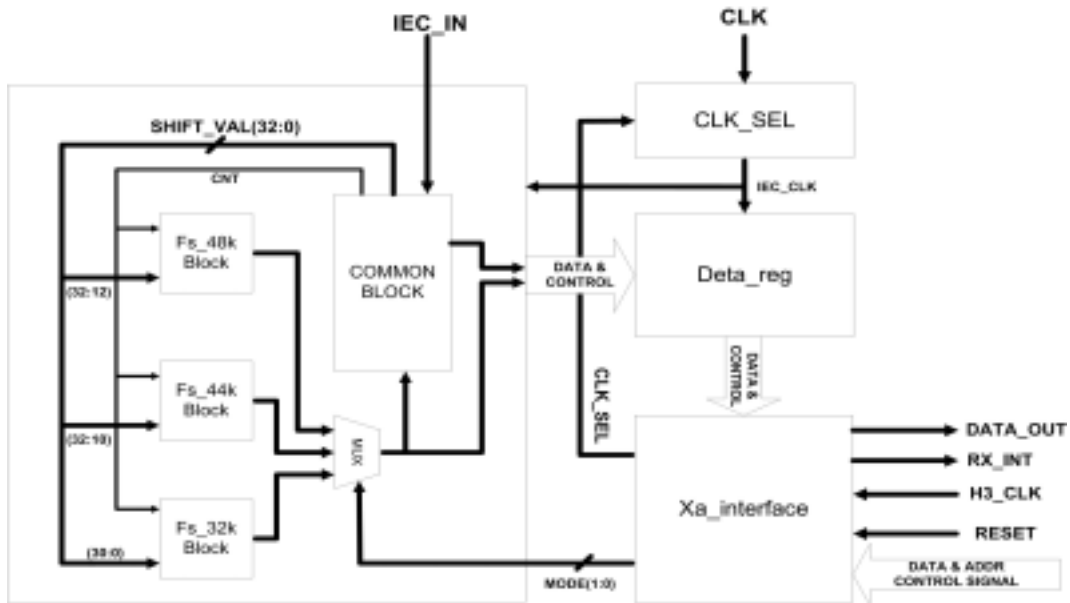
검증 범위 : IEC958 입/출력

② Timing 시뮬레이션 검증 환경

검증 도구 : modelsim (사용 라이브러리 : XCV1000)

검증 범위 : IEC958 입/출력

3. Block Diagram

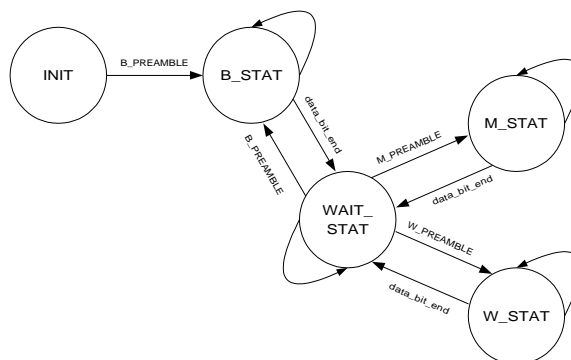


IEC958 블록도

① IEC_COMMON_BLOCK

이 블록은 IECIN(S/PDIF) 입력 신호를 주 clock(16 MHz)을 사용해서 clocking을 통한 shift를 수행한다. 이 shift data는 sync. field detection 및 data field extraction등의 수행을 위해 다른 블록의 입력으로 사용된다. 그 외에 iec_fs_??k_block의 입력으로 사용될 count value(CNT_OUT) 및 data bit 개수를 세기 위해서 사용되는 data_cnt 등의 counter를 포함하고 있다. 그리고 IEC_SYNC_DET 블록을 제어하는데 사용되는 FSM도 포함하고 있다.

한편, 이 블록에 사용되는 FSM(Finite State Machine)은 다음과 같다. 이 FSM 블록도에서 B_PREAMBLE, M_PREAMBLE, W_PREAMBLE은 iec_fs_??k_block에서 들어오는 신호이고, data_bit_end 신호는 28 bit의 data field가 모두 extraction되었을 경우를 나타내는 신호로 IEC_COMMON_BLOCK 자체에서 만들어진다.



Common block state machine

②IEC_FS_44K_BLOCK

이 블록은 IECIN 입력 오디오 sample 신호가 44.1 KHz(IECIN 신호 자체는 5.6 MHz)일 경우에 사용되며, IEC_COMMON_BLOCK의 SHIFT_VAL_OUT 신호를 받아서 sync. detection 및 data field extraction을 수행한다.

다음은 IECIN(S/PDIF)의 한 word(32 bit)에 대한 format이다.

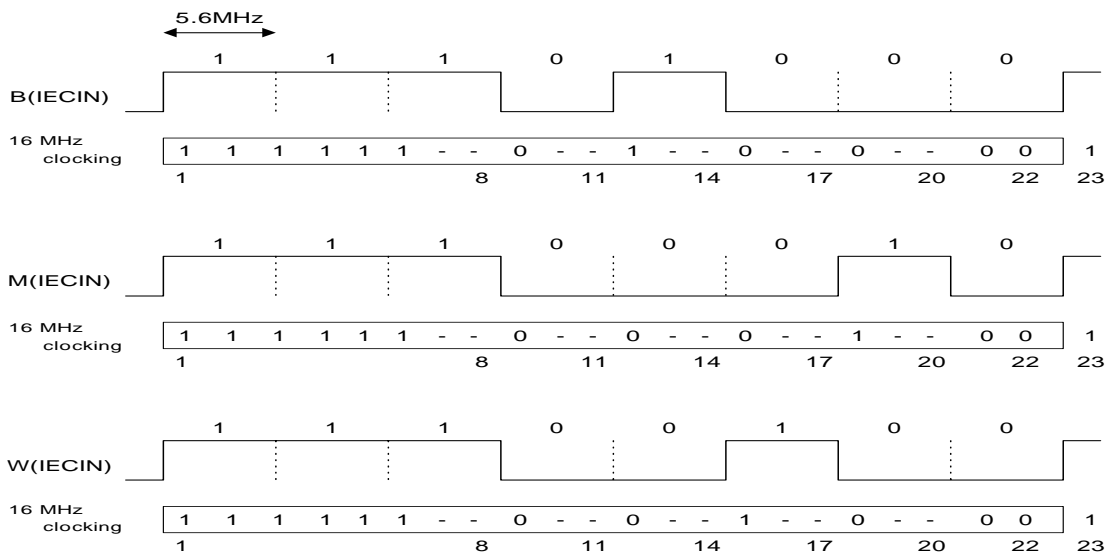
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Preamble				auxiliary data				Audio sample								Audio sample				V U C P											

IECIN은 bi-phase 신호이므로 preamble은 다음과 같이 6가지 경우가 있을 수 있다.

preamble	last cell '0'	last cell '1'
B	11101000	00010111
M	11100010	00011101
W	11100100	00011011

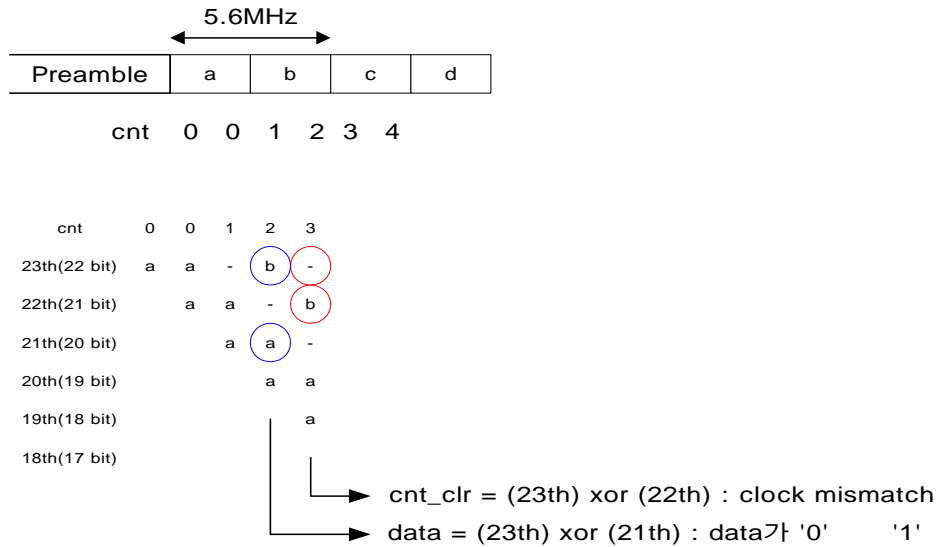
16MHz clock을 사용해서 bi-phase 신호인 IECIN으로부터 B, M, W preamble을 다음과 같은 방법으로 찾아낼 수 있다. Last cell이 '1'인 경우는 아래 그림을 반대로 고려하면 된다. 아래 수식은 16 MHz clock이 5.6 MHz clock보다 2.857배 빠르다는 것을 나타낸다.

$$\frac{\frac{1}{5.6}}{\frac{1}{16}} = 2.857$$



Preamble detect in 44.1KHz

위와 같은 방법으로 Preamble을 찾은 후에는 다음과 같은 방법으로 data들을 뽑아낼 수 있다. IECIN은 bi-phase data이므로 data bit가 '0'이면 a와 b는 서로 같은 level이 되며, 그렇지 않고 '1'이면 a와 b는 서로 다른 level이 된다. 따라서 data는 cnt가 '2'인 경우에 아래 그림에서와 같이 23th value와 21th value의 XOR에 의해서 결정된다.



Data bit detect in 44.1KHz

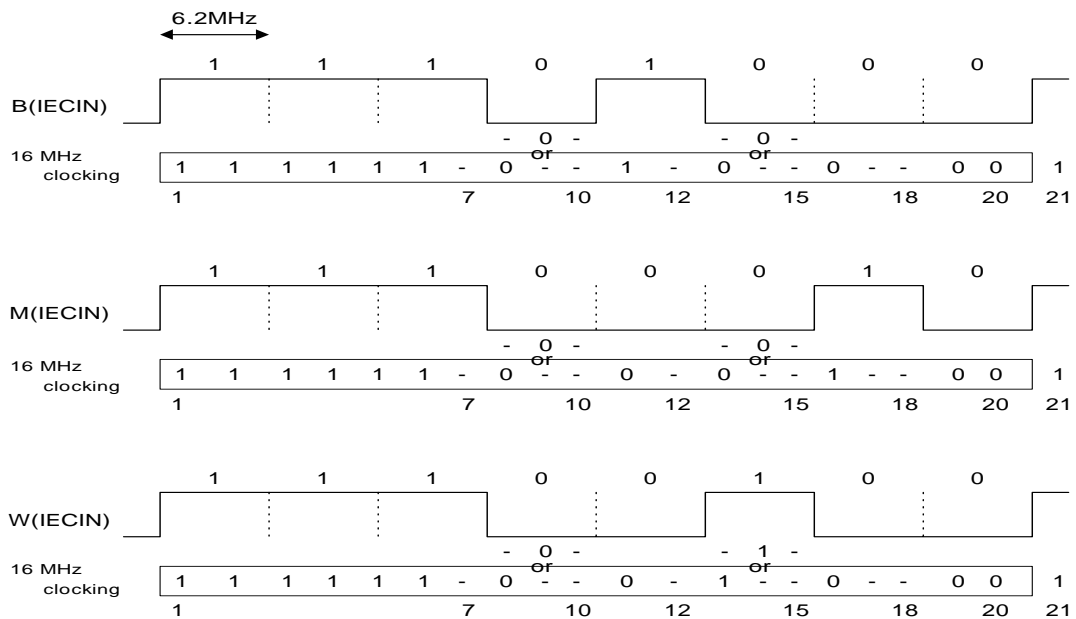
그런데 위의 그림에서 (a, b) field와 (c, d) field를 구분해야하는데, 이를 위해서 cnt_clr 신호가 사용된다. Cnt가 '3'보다 크거나 같은 경우에는 23th value와 22th value를 서로 비교하게 된다. 이때 두 value가 서로 다르면 새로운 data bit field가 시작되었다는 것이고, 그렇지 않은 경우는 아직 새로운 data bit field가 시작되지 않았다는 것을 나타낸다. 이런 방법을 사용해서 IECIN에 포함되어 있는 clock정보를 참조하게 되는 것이다.

③ IEC_FS_48K_BLOCK

이 블록은 IECIN 입력 오디오이 sample 신호가 48 KHz(IECIN 신호 자체는 6.2 MHz) 일 경우에 사용되며, 그 외의 동작 원리는 IEC_FS_44K_BLOCK과 동일하다.

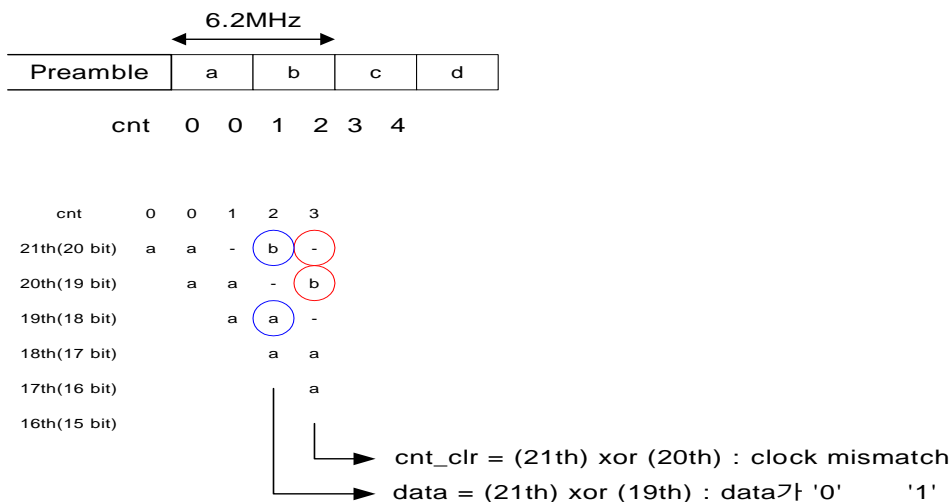
IEC_FS_44K_BLOCK의 경우와 비슷한 방법으로 16 MHz clock을 사용해서 bi-phase 신호인 IECIN으로부터 B, M, W preamble을 다음과 같은 방법으로 찾아낼 수 있다. Last cell이 '1'인 경우는 아래 그림을 반대로 고려하면 된다. 아래 수식은 16 MHz clock이 6.2 MHz clock보다 2.581배 빠르다는 것을 나타낸다.

$$\frac{\frac{1}{6.2}}{\frac{1}{16}} = 2.581$$

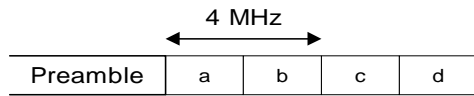


Preamble detect in 48KHz

위와 같은 방법으로 Preamble을 찾은 후에는 다음과 같은 방법으로 data들을 뽑아낼 수 있다. IECIN은 bi-phase data이므로 data bit가 '0'이면 a와 b는 서로 같은 level이 되며, 그렇지 않고 '1'이면 a와 b는 서로 다른 level이 된다. 따라서 data는 cnt가 '2'인 경우에 아래 그림에서와 같이 21th value와 19th value의 XOR에 의해서 결정된다. 그런데 아래 그림에서 (a, b) field와 (c, d) field를 구분해야하는데, 이를 위해서 cnt_clr 신호가 사용된다. cnt가 '3'보다 크거나 같은 경우에는 21th value와 20th value를 서로 비교하게 된다. 이때 두 value가 서로 다르다면 새로운 data bit field가 시작되었다는 것이고, 그렇지 않은 경우는 아직 새로운 data bit field가 시작되지 않았다는 것을 나타낸다. 이런 방법을 사용해서 IECIN에 포함되어 있는 clock정보를 참조하게 되는 것이다.



Data bit detect in 48KHz



cnt 0012 3456 7

cnt	0	0	1	2	3	4	5	6	7
33th(32 bit)	a	a	a	-	-	b	-	-	-
32th(31 bit)	a	a	a	-	-	b	-	-	-
31th(30 bit)		a	a	a	-	-	b	-	-
30th(29 bit)			a	a	a	-	-	b	-
29th(28 bit)				a	-	-	-	-	-
28th(27 bit)									

↘ cnt_clr = (32th) xor (31h) : clock mismatch
 ↘ data = (32th) xor (29th) : data가 '0' '1'

Data bit detect in 32KHz

그런데 위의 그림에서 (a, b) field와 (c, d) field를 구분해야하는데, 이를 위해서 cnt_clr 신호가 사용된다. Cnt가 '5'보다 크거나 같은 경우에는 32th value와 31th value를 서로 비교하게 된다. 이때 두 value가 서로 다르면 새로운 data bit field가 시작되었다는 것이고, 그렇지 않은 경우는 아직 새로운 data bit field가 시작되지 않았다는 것을 나타낸다. 이런 방법을 사용해서 IECIN에 포함되어 있는 clock정보를 참조하게 되는 것이다.

⑤ IEC_DATA_REG

이 블록은 IEC_SYNC_DET 블록의 출력인 DATA_BIT_READY와 DATA_BIT 신호를 입력으로 해서 28 bit data를 저장하게 된다. 또한 B preamble flag 및 left/right flag등을 저장하는 역할을 한다.

⑥ IEC_CLK_SEL

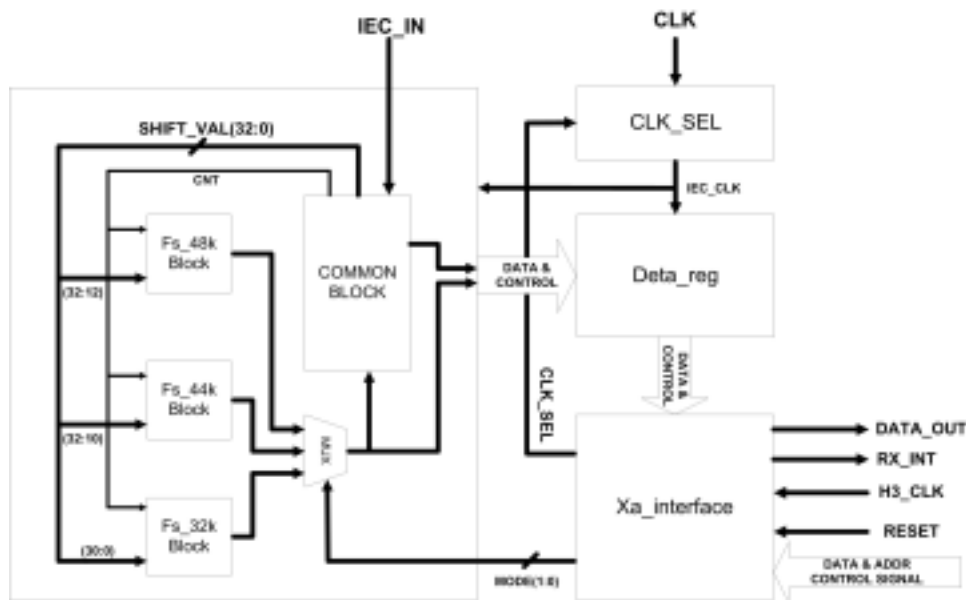
이 블록은 IEC_SYNC_DET와 IEC_DATA_REG에 들어 가야하는 16 MHz clock을 선택하기 위한 역할을 한다. 외부 clock 포트를 선택할 것인지, 그렇지 않으면 내부에서 분주된 clock을 사용할 것인지를 선택한다.

4. Bus interface & I/O configuration

Name	Direction	Description
CLK	I	External clock
CLK_3	I	IEC clock input
RST	I	Reset
PH_RW	I	Read(1) or Write(0) enable
IEC_RX_SEL	I	IEC Receiver select signal
IECIN	I	External IEC958 input
PH_ADDR[3:0]	I	Peripheral selection address
PHDATA_I[31:0]	I	External data input(High 16 bits -> Reserved)
IEC_RX_INT	O	IEC receiver interrupt signal
PHDATA_O[31:0]	O	Audio data out(High 16 bits -> Reserved)

5. Test Description

5.1 Test available interface



IEC958 블록도

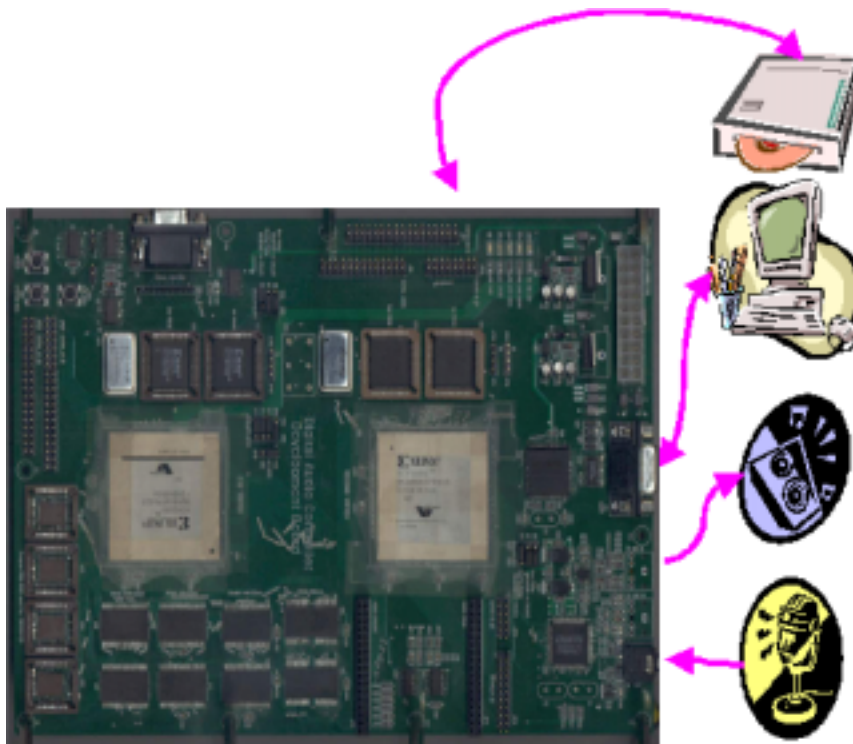
- IEC958 동작을 위한 16MHz clock 입력 : H3_CLK

- 각 Unit reset을 위한 RESET 입력
- IEC958 입력
- Core 동작을 위한 system clock 입력
- Data reception을 알리는 RX_INT 출력
- 입력 완료된 16 bits data 출력 : data_out

5.2 Test method

Virtex XCV-1000 FPGA로의 구현 후 응용 보드상에서 IEC958 입력(CD의 디지털 출력)을 받아서, 실시간 audio 청취 후 동작 여부 확인

6. The environment for verification



The environment for verification